



⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENT- UND
MARKENAMT

Offenlegungsschrift

⑯ DE 100 06 243 A 1

⑯ Int. Cl. 7:

H 01 L 23/525

H 01 L 27/10

DE 100 06 243 A 1

⑯ Aktenzeichen: 100 06 243.1

⑯ Anmeldetag: 11. 2. 2000

⑯ Offenlegungstag: 23. 8. 2001

⑯ Anmelder:

Infineon Technologies AG, 81669 München, DE

⑯ Vertreter:

Patentanwälte MÜLLER & HOFFMANN, 81667
München

⑯ Erfinder:

Müller, Jochen, 81825 München, DE; Fischer,
Helmut, Dr., 82024 Taufkirchen, DE

⑯ Entgegenhaltungen:

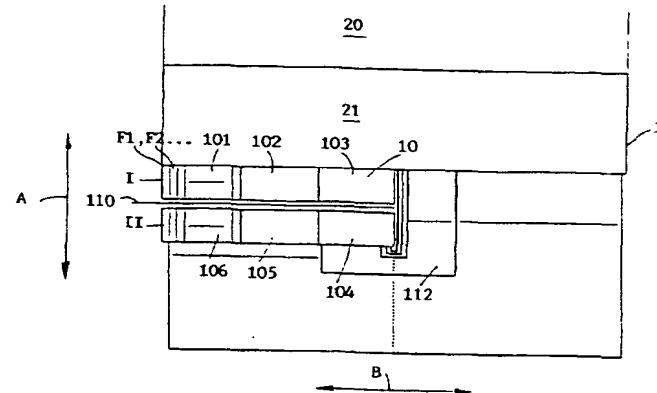
US 58 35 425
US 55 32 966

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Schmelzbrückenanordnung in integrierten Schaltungen

⑯ Die Erfinbung betrifft eine Schmelzbrückenanordnung in oder auf integrierten Schaltungen, insbesondere hochintegrierten Speicherchips, bei denen jeweils eine Bank (10) von Schmelzbrücken (F₁, F₂...) zusammen mit einer mit den Schmelzbrücken (F₁, F₂, ...) elektrisch verbundenen Auswertelogik (21), die feststellt, ob eine oder mehrere der Schmelzbrücken F₁, F₂, ...) durchtrennt ist, neben und in Zuordnung zu einem Speicherfeldsegment (20) angeordnet ist, und ist dadurch gekennzeichnet, dass eine oder mehrere in kleinere Einheiten (101, ...106) aufgeteilte Bänke (10) der Schmelzbrücken (F₁, F₂, ...) unter Einschränkung der Breite(n) (B) der Bank (10) bzw. Bänke so gruppiert sind, dass wenigstens ein Teil der Schmelzbrücken (F₁, F₂, ...) quer zur Breitenrichtung der Bank (10) nebeneinander liegt (Figur 4).



DE 100 06 243 A 1

Beschreibung

Die Erfindung betrifft eine Schmelzbrückenanordnung in oder auf integrierten Schaltungen, insbesondere hochintegrierten Speicherchips, bei denen jeweils eine Bank von Schmelzbrücken zusammen mit einer mit den Schmelzbrücken elektrisch verbunden Auswertelogik, die feststellt, ob eine oder mehrere der Schmelzbrücken durchtrennt ist, neben und in Zuordnung zu einem Speicherfeldsegment angeordnet ist sowie eine Verwendung derselben in einem hochintegrierten Speicherchip.

Anhand der beiliegenden Fig. 3 wird die bisher übliche Anordnung der Schmelzbrücken auf einem hochintegrierten Speicherchip beschrieben. Die Schmelzbrücken (sogenannte Fuses) F_1, F_2 usw. sind insgesamt räumlich einem Speicherfeldsegment 20 zugeordnet und zusammen mit einer Auswertelogik 21 neben dem Speicherfeldsegment 20, d. h. in Fig. 3 unterhalb des Speicherfeldsegments 20 in Lateralrichtung, d. h. in Richtung des Pfeils B, angeordnet. Die gesamte Anordnung der Schmelzbrücken F_1, F_2 usw. bildet eine Bank 10, die ihrerseits in einzelne Schmelzbrückenboxen 101, 102, 103, ..., 106 unterteilt ist. Innerhalb einer Box 101-106 können sich beispielsweise zwölf Schmelzbrücken F_1, F_2, \dots befinden. Die Auswertelogik 21 hat die Funktion festzustellen, ob eine der Schmelzbrücken F_1, F_2 usw. durchtrennt ist oder nicht.

Das Durchschmelzen einzelner Schmelzbrücken erfolgt mit einem auf den Bereich, in dem sich die Bank 10 der Schmelzbrücken befindet, gerichteten Laserstrahl. Man spricht vom Durchschießen einzelner Schmelzbrücken. Dies bedingt, dass der Bereich der Bank 10 für den Laserstrahl offen sein muss, d. h., dass in dem Bereich der Bank 10 ein Fenster für den Laserstrahl freibleiben muss.

Spezielle Chipkontakteverfahren von Speicherchips auf Waferebene erfordern ein Aufbringen von zusätzlichen Kontaktläufen auf der Chipoberfläche mit großen Abständen der Läufe untereinander, da die vorhandenen Kontaktläufe, die nur geringe Abstände untereinander aufweisen, mit diesen speziellen Chipkontakteverfahren nicht direkt kontaktiert werden können. Somit müssen die kleinen Kontaktläufe durch Leiterbahnen mit den zusätzlichen Kontaktläufen verdrahtet werden.

Die beiliegenden Fig. 1 und 2 zeigen jeweils in Form einer schematischen Querschnittsansicht und einer Draufsicht die Anordnung von kleinen Kontaktläufen 4 auf einem Chip 1 und von solchen zusätzlichen größeren Kontaktläufen 3, 5 und 6, die durch eine Isolationsschicht 2 vom Chip 1 getrennt und durch zusätzliche Leiterbahnen 7, 8, 9 mit den ursprünglichen Kontaktläufen 4 verbunden sind.

Soll nun diese Kontaktierung, die die größeren Kontaktläufe erforderlich macht, angewandt werden, bevor im Prüf- ablauf die in einer mit 10 angedeuteten Bank befindlichen Schmelzbrücken auf dem Chip 1 durchtrennt wurden, können durch die zusätzlich erforderlichen Leiterbahnen die darunterliegenden Schmelzbrückenbänke 10 verdeckt werden, so dass ein Durchtrennen aller Schmelzbrücken nicht mehr möglich ist.

In Fig. 2 sind beispielhaft zwei Leiterbahnen 7 und 9 gezeigt, die eine Schmelzbrückenbank 10 überdecken. Dies hat unter anderem zur Folge, dass für den Chip 1 defekte Speicherzellen nicht mehr durch redundante ersetzt werden können. Je nach Geometrie der Verdrahtung werden unterschiedlich große Bereiche der Schmelzbrücken verdeckt.

Es ist Aufgabe der Erfindung, eine Schmelzbrückenanordnung in oder auf integrierten Schaltungen, insbesondere hochintegrierten Speicherchips anzugeben, mit der das beschriebene Problem der Überdeckung der Schmelzbrückenbänke durch darüberliegende Leiterbahnen vermieden wird.

Die Aufgabe wird erfundungsgemäß durch eine Aufteilung der Schmelzbrückenbänke in kleiner Einheiten und eine Neuanordnung der genannten Einheiten in der Art gelöst, dass die darüberliegende Verdrahtung die Schmelzbrücken nicht mehr verdeckt, so dass ein Durchtrennen der Schmelzbrücken genau wie ohne das Vorhandensein der zusätzlichen Verdrahtung ermöglicht wird.

Gemäß einem wesentlichen Aspekt der Erfindung zeichnet sich eine gattungsgemäße Schmelzbrückenanordnung in oder auf integrierten Schaltungen, insbesondere hochintegrierten Speicherchips, dadurch aus, dass eine oder mehrere in kleinere Einheiten aufgeteilte Bänke der Schmelzbrücken unter Einschränkung der Breite(n) der Bank bzw. Bänke so gruppiert sind, dass wenigstens ein Teil der Schmelzbrücken quer zur Breitenrichtung der Bank nebeneinander liegt.

Bei einem bevorzugten Ausführungsbeispiel sind die Einheiten so gruppiert, dass die ursprüngliche Breite der Schmelzbrückenbank halbiert ist und dass beide Hälften der Schmelzbrückenbank in einer zur Breitenrichtung senkrechten Richtung nebeneinander liegen.

Dabei sind die Schmelzbrücken an ihren Enden, wo sie quer zur Breitenrichtung aneinandergrenzen, mit einer Massebahn verbunden und mit ihren entgegengesetzten anderen Enden jeweils einzeln mit der zugehörigen Auswertelogik verdrahtet.

Die Verdrahtung der Schmelzbrücken mit der Auswertelogik erfolgt z. B. in einer einzigen Ebene des Chips. Diese Verdrahtung kann statt dessen auch in mehreren Verdrahtungsebenen geführt werden, um den Flächenzuwachs, der sich durch diese Verdrahtung ergibt, möglichst klein zu halten.

Idealerweise wird man die Leiterbahnen für die Kontaktierung der zusätzlichen großen Kontaktläufen versuchen so zu führen, dass eine Halbierung der Breite der Schmelzbrückenbank bzw. der -bänke ausreicht, um zu gewährleisten, dass alle Schmelzbrücken der Bank oder Bänke zugänglich sind und den zusätzlichen Flächenaufwand durch die neue Verdrahtung der Schmelzbrücken möglichst klein zu halten.

Je nach dem Erfordernis der Leiterbahnführung von den zusätzlichen großen Kontaktläufen zu den kleinen Kontaktläufen kann aber auch eine weitere Aufteilung der Schmelzbrückenbank notwendig sein, um den Zutritt des Laserstrahls zum Durchtrennen der Schmelzbrücken von oben zu gewährleisten.

Ebenso kann die gesamte Position der Schmelzbrückenbank unter Beibehaltung der Position der Auswertelogik verschoben werden, was aber ein Maximum an zusätzlichen Flächenaufwand nach sich zieht.

Die erfundungsgemäß vorgeschlagene Schmelzbrückenanordnung kann sowohl für Spalten- als auch für Zeilen-Schmelzbrücken sowie für jegliche andere Art von Schmelzbrücken, z. B. für das Trimmen interner Spannungen, angewandt werden.

Nachstehend wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher beschrieben. Es zeigen:

Die Fig. 1 und 2 jeweils in schematischem Querschnitt und in einer Draufsicht die bereits beschriebene Anordnung von Kontaktläufen und Leiterbahnen über einer Schmelzbrückenbank.

Fig. 3 eine schematische Draufsicht auf einen Abschnitt eines Speicherchips mit einem Speicherfeldsegment.

Fig. 4 eine Draufsicht auf einen Abschnitt eines Speicherchips mit einem Ausführungsbeispiel einer erfundungsgemäßen Schmelzbrückenanordnung.

Die in den Fig. 1 bis 3 gezeigten Anordnungen sind Stand der Technik und bereits oben beschrieben worden.

Gemäß Fig. 4 sind die zu einer Bank 10 gehörenden Schmelzbrücken F_1, F_2, \dots in Boxen 101, 102, 103, 104,

105, 106 unterteilt und diese in zwei Hälften I und II nebeneinander in Richtung des Pfeils A gruppiert.

Ein Vergleich der Schmelzbrückenanordnung mit der in Fig. 3 gezeigten bekannten Schmelzbrückenanordnung zeigt deutlich, dass die erfindungsgemäße Schmelzbrückenanordnung vorteilhafterweise die Hälfte der Breite des Speicherfeldsegments 21 freilässt. Dieser Platz kann dann zur Führung von Leiterbahnen zwischen den zusätzlichen und den normalen Kontaktspuren verwendet werden, ohne dass irgend eine der Schmelzbrücken von diesen Leiterbahnen überdeckt würde. Eine Seite der Schmelzbrücken F₁, F₂, ... ist mit einer Masseleitung 110 verbunden und die andere Seite durch Leiterbahnen 112 mit der Auswertelogik 21 verdrahtet. Diese Verdrahtung 112 kann in einer oder mehreren Verdrahtungsebenen geführt werden, um den Flächenzuwachs, der sich durch diese Verdrahtung ergibt, möglichst klein zu halten.

Ein Beispiel für den Flächenzuwachs einer Verdrahtung 112, wenn diese in einer Ebene des Chips geführt ist, ergibt sich wie folgt: 14 µm Höhe der Schmelzbrückenboxen 101, 20 102, 103, ... (in Pfeilrichtung A) + 18 µm für die zusätzliche Verdrahtung 112 bei Führen in einer Metallebene mit einem Zellenfeldpitch von 0,5 µm über die gesamte Chiplänge × 2, da zwei Reihen I und II von Schmelzbrückenbankreihen im Spine vorhanden sind; das ergibt 0,5 nm² und entspricht 25 1,6% der Gesamtchipfläche eines beispielhaft angenommenen 64 M Speicherchips.

Selbstverständlich ist die in Fig. 4 gezeigte Ausführung bei der die Schmelzbrückenboxen in zwei Hälften eingeteilt und in zwei parallelen Reihen I und II in Richtung des Pfeils 30 A nebeneinander angeordnet sind, lediglich beispielhaft.

Idealerweise wird man die zusätzlichen Leiterbahnen für die Kontakierung der zusätzlichen großen Kontaktspuren versuchen so zu führen, dass die in Fig. 4 gezeigte Halbierung der Breite der Schmelzbrückenbank 10 ausreicht, um zu gewährleisten, dass alle Schmelzbrücken F₁, F₂, ... der Bank 10 für den Laserstrahl zugänglich sind. Selbstverständlich ist auch eine weitere Aufteilung der Bank 10 vorstellbar, um den Zugang von oben zu gewährleisten.

Ebenso kann die gesamte Position der Bank 10 unter Beibehaltung der Position der Auswertelogik 21 verschoben werden. Dies kann aber einen zu großen Flächenaufwand für die Verdrahtung nach sich ziehen.

Patentansprüche

45

1. Schmelzbrückenanordnung in oder auf integrierten Schaltungen, insbesondere hochintegrierten Speicherchips, bei denen jeweils eine Bank (10) von Schmelzbrücken (F₁, F₂, ...) zusammen mit einer mit den Schmelzbrücken (F₁, F₂, ...) elektrisch verbunden Auswertelogik (21), die feststellt, ob eine oder mehrere der Schmelzbrücken (F₁, F₂, ...) durchtrennt ist, neben und in Zuordnung zu einem Speicherfeldsegment (20) angeordnet ist, dadurch gekennzeichnet, dass eine oder mehrere in kleinere Einheiten (101, ..., 106) aufgeteilte Bänke (10) der Schmelzbrücken (F₁, F₂, ...) unter Einschränkung der Breite(n) (B) der Bank (10) bzw. Bänke so gruppiert sind, dass wenigstens ein Teil der Schmelzbrücken (F₁, F₂, ...) quer zur Breitenrichtung der Bank (10) nebeneinander liegt.

2. Schmelzbrückenanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die ursprüngliche Breite der Schmelzbrückenbank halbiert ist, und beide Hälften (I, II) senkrecht zur Breitenrichtung (B) der Bank 65 (10) nebeneinander liegen.

3. Schmelzbrückenanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Schmelzbrücken

(F₁, F₂, ...) an ihrem einen Ende, wo sie quer zur Breitenrichtung (B) aneinandergrenzen, mit einer Massebahn (110) verbunden sind und mit ihren entgegengesetzten anderen Enden jeweils einzeln mit der zugehörigen Auswertelogik (21) verdrahtet sind.

4. Schmelzbrückenanordnung nach Anspruch 3, dadurch gekennzeichnet, dass die Verdrahtung (112) der Schmelzbrücken (F₁, F₂, ...) mit der Auswertelogik (21) in einer oder mehreren Metallisierungsebenen des Chips (1) geführt ist.

5. Hochintegrierter Speicherchip gekennzeichnet durch die Anwendung der Schmelzbrückenanordnung nach einem der Ansprüche 1 bis 4.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

FIG. 1 (St.d.T.)

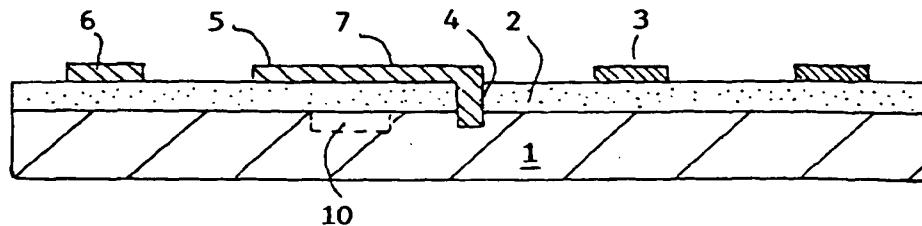
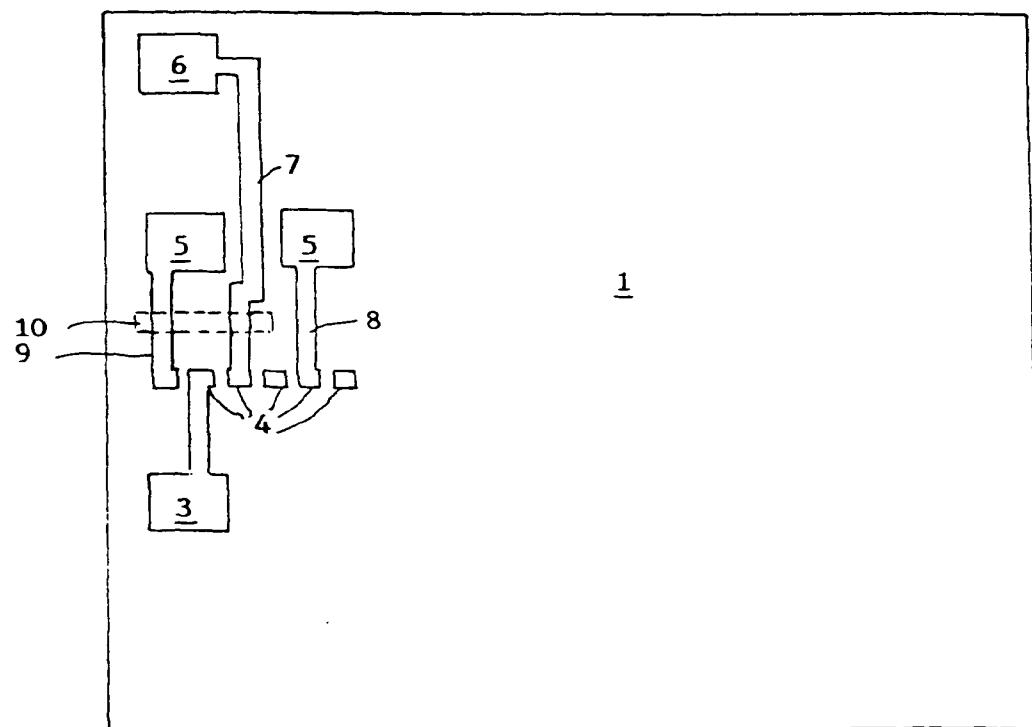


FIG. 2 (St.d.T.)



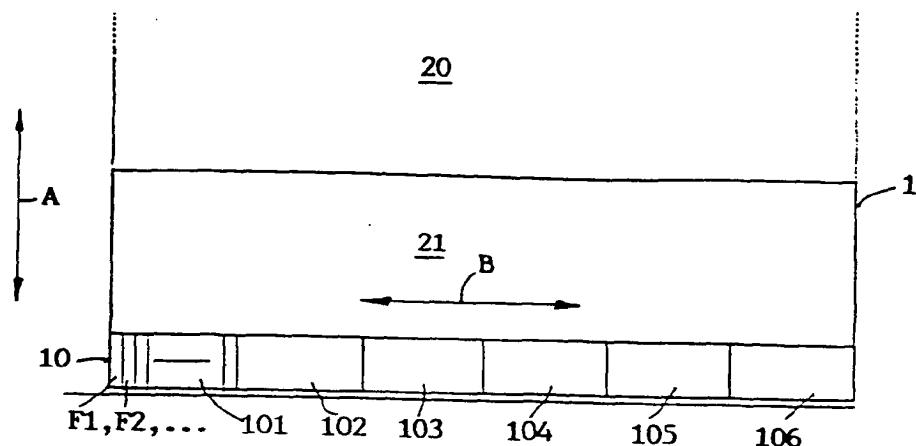


FIG. 3 (St.d.T.)

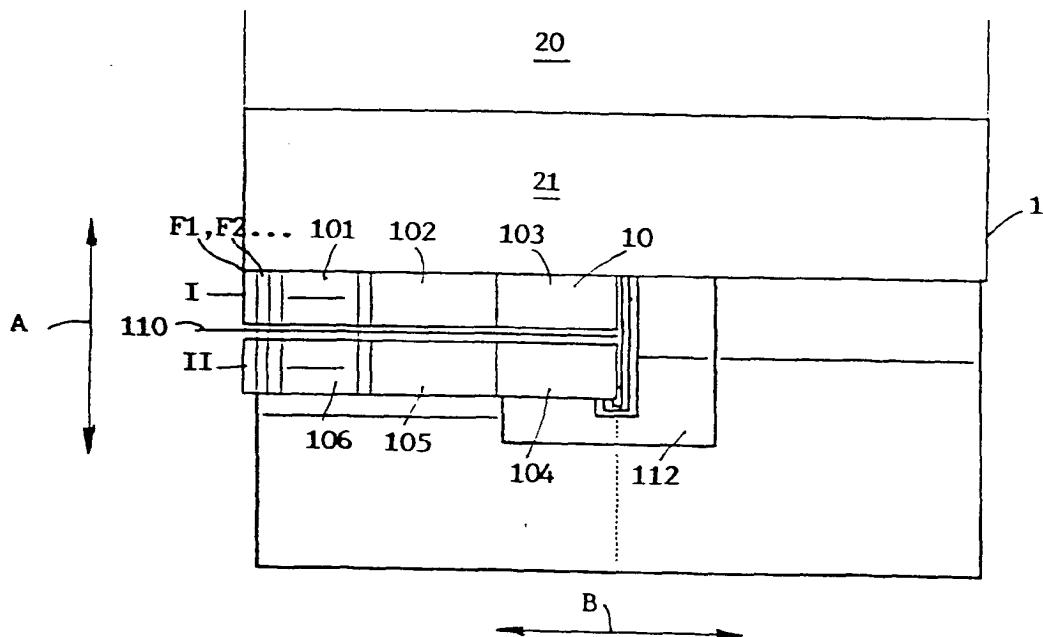


FIG. 4

Fusible link configuration in integrated circuits

Patent Number: US2001019167

Publication date: 2001-09-06

Inventor(s): MULLER JOCHEN (DE); FISCHER HELMUT (DE)

Applicant(s):

Requested Patent: DE10006243

Application Number: US20010781813 20010212

Priority Number(s): DE20001006243 20000211

IPC Classification: H01L29/00

EC Classification: H01L23/525F4

EC Classification: H01L23/525F4

Equivalents: EP1139423, TW492174, US6407586

Abstract

The invention relates to a fusible link configuration in or on integrated circuits, in particular highly integrated memory chips, in which in each case one bank of fusible links (F1, F2, . . .), together with an evaluation logic unit is configured beside and in association with a memory field segment. The evaluation logic unit is electrically connected to the fusible links (F1, F2, . . .) and determines whether one or more of the fusible links (F1, F2, . . .) is severed. One or more banks of the fusible links (F1, F2, . . .) are divided up into smaller units while restricting the width(s) of the bank or banks. The units are grouped such that at least some of the fusible links (F1, F2, . . .) are located beside one another transversely with respect to the width direction of the bank

